

07-022590 [JP 7022590 A]

PUBLISHED: January 24, 1995 (19950124)  
 INVENTOR(s): YAMADA SHINICHI  
 APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
 (Japan)  
 APPL. NO.: 05-147269 [JP 93147269]  
 FILED: June 18, 1993 (19930618)

## ABSTRACT

PURPOSE: To stabilize the operation of a cell by eliminating the increase in a cell size, by preventing the increase in a gate width of a transfer transistor, and by increasing the performance ratio of a driver transistor to the transfer one, in the structure of an SRAM.

CONSTITUTION: In an SRAM cell wherein word lines 5 are formed with gates common to transfer transistors 1 and 2 and diffusion regions which constitute sources and drains of the transfer transistors are demarcated by boundary lines 8, 9 in field regions, the boundary lines in the field regions between the adjacent \*word\* \*lines\* are \*straight\* lines nearly vertical with the \*word\* \*lines\* and bit line contacts 11 which connect the diffusion regions and a bit line are demarcated by the boundary lines in the field regions.

11/7/6

DIALOG(R) File 347:JAPIO  
 (c) 2003 JPO & JAPIO. All rts. reserv.

04118330 \*\*Image available\*\*  
 SEMICONDUCTOR MEMORY

PUB. NO.: 05-110030 [JP 5110030 A]  
 PUBLISHED: April 30, 1993 (19930430)  
 INVENTOR(s): KUBOTA YASUSHI  
 APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
 (Japan)  
 APPL. NO.: 03-272226 [JP 91272226]  
 FILED: October 21, 1991 (19911021)

## ABSTRACT

PURPOSE: To release the ruggedness in stepped parts for facilitating the metal layer formation step by a method wherein the size of a final end accumulating electrode in the extending direction of word lines at a memory cell array end and the arranging pitch of bit lines are increased while a plate electrode is formed to be extended from the bit line at the final end to the end side position in the extending direction of the word lines.

CONSTITUTION: A multitude of bit lines 2 are arranged in parallel with one another in the \*straight\* ahead direction above a multitude of \*word\* \*lines\* 1 provided in parallel with one another on a substrate S while the bit lines 2 at the final end in the extending direction as well as the pitch thereof are made larger than those of inner side bit lines 2 furthermore to be arranged on the end side in the extending direction of the word lines 1 further from the accumulating electrode 3 at the final end. Next, the accumulating electrodes 3 are formed in matrix mode above the word lines 1 and the bit lines 2 as if striding over respective intersections of the word line 1 and the bit lines 2 while enlarging the

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-22590

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10 21/768	3 7 1	7210-4M 8826-4M	H 0 1 L 21/ 90	A

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21)出願番号 特願平5-147269

(22)出願日 平成5年(1993)6月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山田 伸一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

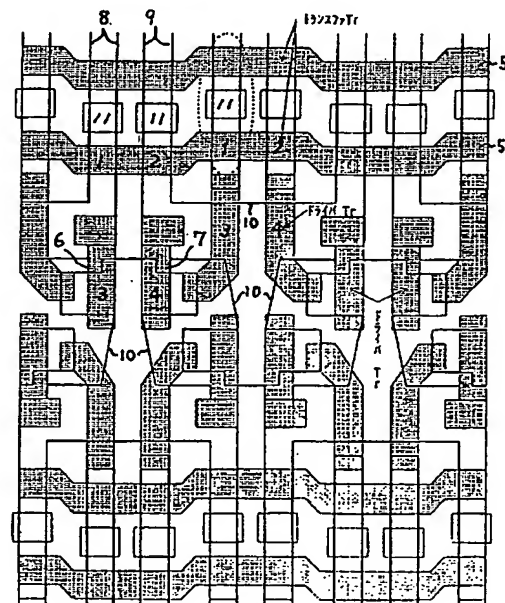
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 SRAMの構造に関し、セルサイズを大きくすることなく、トランスファTrのゲート幅の増大化を防止し、ドライバTrとトランスファTrの性能比を大きくしてセル動作を安定化することを目的とする。

【構成】 ワード線 5がトランスファトランジスタ 1, 2の共通ゲートで形成され、該トランスファトランジスタのソース、ドレインを構成する拡散領域がフィールド領域の境界線 8, 9によって画定されたSRAMセルにおいて、隣接する該ワード線間の該フィールド領域の境界線が該ワード線に略垂直な直線で形成され、該拡散領域とビット線を接続するビット線コンタクト11が該フィールド領域の境界線により画定されて形成されているように構成する。

本発明の一実施例によるSRAMセルのTrの配置を示す平面図



## 【特許請求の範囲】

【請求項1】 ワード線(5) がトランスファートランジスタ(1),(2) の共通ゲートで形成され、該トランスファートランジスタのソース、ドレインを構成する拡散領域がフィールド領域の境界線(8),(9) によって画定されたSRAMセルにおいて、隣接する該ワード線間の該フィールド領域の境界線が該ワード線に略垂直な直線で形成され、該拡散領域とビット線を接続するビット線コンタクト(11)が該フィールド領域の境界線により画定されて形成されていることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置に係り、特にSRAMセルの構造に関する。近年の半導体記憶装置は大容量化に伴い、そのセルサイズの縮小化が進んでいる。

【0002】 SRAMにおいてもセルサイズの縮小化と、一方セルを構成するトランスファートランジスタ（トランスファートラ）をドライバトランジスタ（ドライバTr）に比し、電流値を1/3 以下に低くすることが要求される。そこで、ドライバTrに対してトランスファートラの電流値を下げるためには、トランスファートラのゲート長を長くするか、あるいはゲート幅を短くするようにしている。

【0003】 本発明はこの要求に対応したSRAMセルの構造に利用することができる。

## 【0004】

【従来の技術】 図2はSRAMセルの回路図である。図において、1、2はトランスファートラ、3、4はドライバTr、Wはワード線、Bはビット線、VCC は電源線、VEE は接地線である。点線で囲む部分が1つのセルである。

【0005】 図3は従来例によるSRAMセルの配置を示す平面図である。図において、1、2はトランスファートラ、3、4はドライバTr、5はトランスファートラ1および2の共通ゲートでワード線、6はドライバTr3のゲート、7はドライバTr4のゲート、8Aはトランスファートラ1のフィールド領域の境界線、9Aはトランスファートラ2のフィールド領域の境界線、10はドライバTr3および4のフィールド領域の境界線、11Aは図示されないが上層に形成されたビット線とトランスファートラを接続するビット線コンタクトである。

【0006】 従来の微細化されたSRAMセルにおいては、コンタクトを確実にとるために、隣接するセルのトランスファートラ間のフィールド領域の境界線の間隔を拡げてビット線のコンタクトを設けていた（図の点線で囲まれた領域）。

## 【0007】

【発明が解決しようとする課題】 図4 (A),(B) は本発明の改善点と問題点を説明する平面図である。図4 (A) は本発明の改善点を、図4 (B) は本発明の問題点を説明する図で、比較のために両方を並べて示した。なお、図4

(A) は作用の欄で引用する。

【0008】 図4 (B) において、従来例では素子の微細化が進むにしたがって、隣接するワード線間において拡げられた拡散領域のフィールド境界線が、パターンの露光時に湾曲し、トランスファートラのゲート幅を大きくしていた。

【0009】 SRAMセルはその動作マージンを広げるために、ドライバTrとトランスファートラの性能比を大きくする必要があり、前記のようにドライバTrのゲート長とトランスファートラのゲート幅が小さい方が良く、ドライバTrのゲート幅とトランスファートラのゲート長が大きい方がよい。このためにパターンを大きくすることは好ましくない。そこで、トランスファートラのゲート幅は小さく形成されるが、従来例ではフィールド境界線の影響を受けて実質的にゲート幅が大きくなっていた。

【0010】 本発明は、SRAMセルにおいて、セルサイズを大きくすることなく、トランスファートラのゲート幅の増大化を防止し、ドライバTrとトランスファートラの性能比を大きくしてセル動作を安定化することを目的とする。

## 【0011】

【課題を解決するための手段】 上記課題の解決は、ワード線 5がトランスファートランジスタ 1, 2 の共通ゲートで形成され、該トランスファートランジスタのソース、ドレインを構成する拡散領域がフィールド領域の境界線 8, 9 によって画定されたSRAMセルにおいて、隣接する該ワード線間の該フィールド領域の境界線が該ワード線に略垂直な直線で形成され、該拡散領域とビット線を接続するビット線コンタクト11が該フィールド領域の境界線により画定されて形成されている半導体記憶装置により達成される

## 【0012】。

【作用】 本発明は隣接するトランスファートラのゲート間に存在するフィールド領域の境界線をゲートに垂直な直線で形成し、このフィールド領域の境界線に自己整合してビット線コンタクトを形成している（図1、あるいは図4 (A) 参照）。そのため、従来のように拡散領域を拡げるためにフィールド領域の境界線を曲げることなく直線であるため、パターン露光時におけるビット線コンタクト部のフィールド領域の境界線の変形による拡散領域幅の増加、すなわちゲート幅の増加は発生しない。

## 【0013】

【実施例】 図1は本発明の一実施例によるSRAMセルの配置を示す平面図である。図において、1、2はトランスファートラ、3、4はドライバTr、5はトランスファートラ1および2の共通ゲートでワード線、6はドライバTr3のゲート、7はドライバTr4のゲート、8はトランスファートラ1のフィールド領域の境界線、9はトランスファートラ2のフィールド領域の境界線、10はドライバTr3および4のフィールド領域の境界線、11は図示されないが上層に形成されたビット線とトランスファートラを接続するビット線

コンタクトである。

【0014】実施例では、フィールド領域の境界線8、9はゲート5間で直線状に形成されている。また、ビット線コンタクト11の幅はフィールド領域の境界線8、9に自己整合して形成されている。

【0015】実施例において、フィールド領域で挟まれた拡散領域の幅（トランスファTrのゲート幅）とビット線コンタクトの寸法を以下に示す。例えば、4MビットのSRAM（0.5  $\mu\text{m}$ ルール）の場合は拡散層の幅は $\sim 0.3 \mu\text{m}$ であり、コンタクトの寸法は $\sim 0.3 \mu\text{m} \times 0.6 \mu\text{m}$ である。

【0016】また、従来例では、素子を微細化したときに十分なコンタクトをとるためにビット線コンタクトの幅を拡げていたが、本発明によりその幅が狭くなっても支障をきたさない理由は以下のように考えられる。

【0017】すなわち、コンタクト幅が狭くなることにより、寄生抵抗（コンタクト抵抗）が大きくなってくると考えられるが、上記の4MビットのSRAMの場合でもコンタクト抵抗は  $100\Omega$  / 個以下であり、電流が  $100\mu\text{A}$  流れるとするとコンタクトでの電圧降下は  $10 \text{ mV}$  以下であり、現状の素子では問題とならない。

【0018】また、素子の微細化がさらに進んだ場合、十分なコンタクトをとるためのビット線コンタクトの幅の最小限度の決定は実験結果を俟たなければならないが、上記の結果より  $0.3 \mu\text{m}$  程度なら十分に実用性があ\*

＊る。

【0019】

【発明の効果】本発明によれば、SRAMセルにおいて、トランスファTrのゲート幅の増大化を防止し、ドライバTrとトランスファTrの性能比を大きくしてセル動作を安定化することができた。

【0020】この結果、集積度を阻害することなく、SRAMの性能と製造歩留の向上に寄与することができた。

【図面の簡単な説明】

【図1】 本発明の一実施例によるSRAMセルのTrの配置を示す平面図

【図2】 SRAMセルの回路図

【図3】 従来例によるSRAMセルのTrの配置を示す平面図

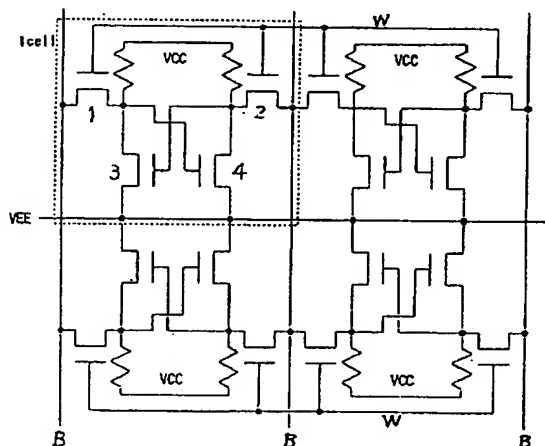
【図4】 本発明の改善点と問題点を説明する平面図

【符号の説明】

- 1, 2 トランスファTr
- 3, 4 ドライバTr
- 5 トランスファTr1および2の共通ゲートでワード線
- 6 ドライバTr3のゲート
- 7 ドライバTr4のゲート
- 8 トランスファTr1のフィールド領域の境界線
- 9 トランスファTr2のフィールド領域の境界線
- 10 ドライバTr3および4のフィールド領域の境界線
- 11 ビット線コンタクト

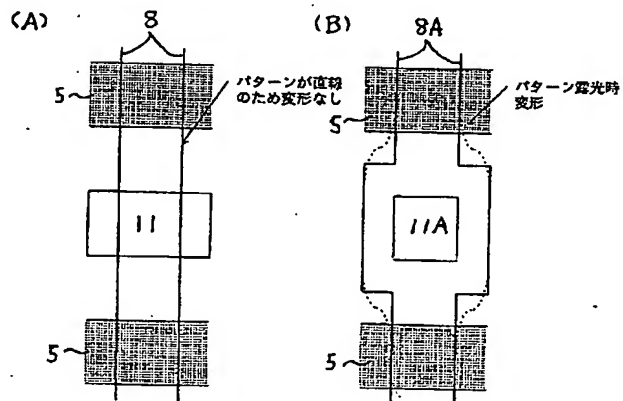
【図2】

SRAMセルの回路図



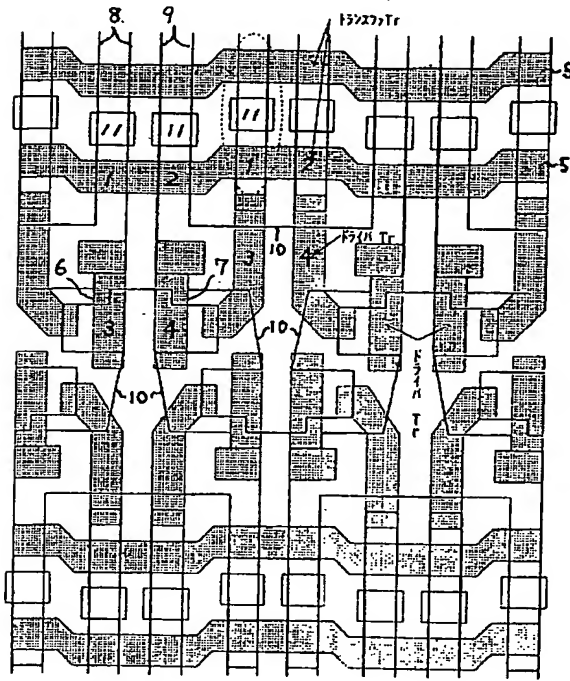
【図4】

本発明の改善点と問題点を説明する平面図



【図1】

本発明の一実施例によるSRAMセルのTrの配置を示す平面図



【図3】

従来例によるSRAMセルのTrの配置を示す平面図

